

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-366596  
 (43)Date of publication of application : 20.12.2002

(51)Int.Cl. G06F 17/50  
 H03K 19/00

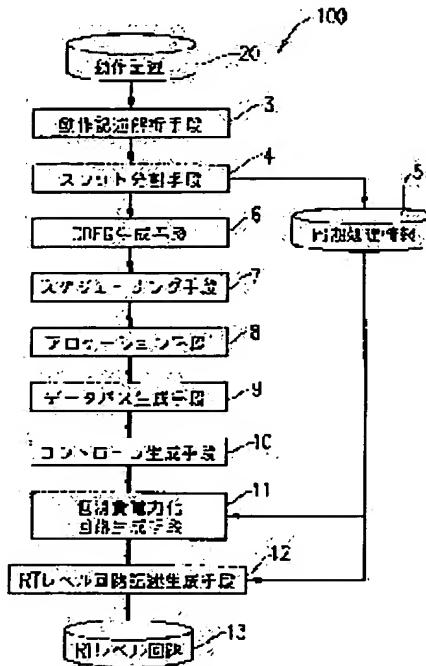
(21)Application number : 2001-176375 (71)Applicant : SHARP CORP  
 (22)Date of filing : 11.06.2001 (72)Inventor : ONISHI MITSUHISA

## (54) DEVICE, METHOD FOR HIGH-ORDER SYNTHESIS, METHOD OF MANUFACTURING LOGIC CIRCUIT BY HIGH-ORDER SYNTHESIZING METHOD AND RECORDING MEDIUM

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To generate a low power consumption circuit to reduce power to be wastefully consumed.

**SOLUTION:** The device 100 for high-order synthesis synthesizes the low power consumption circuit to stop operations of a partial circuit (thread) when the partial circuit (thread) of a logic circuit is at a standby state with the logic circuit by a low power consumption circuit generating means 11. Thus, since switching ratio of the partial circuit is lowered and the power consumption of the logic circuit is in proportion to the switching ratio of the circuit, the low power consumption circuit capable of reducing power consumption is synthesized.



### LEGAL STATUS

[Date of request for examination] 31.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

[19] 中华人民共和国国家知识产权局

[51] *Int. Cl.*

G06F 17/50

G06F 17/00



## [12] 发明专利申请公开说明书

[21] 申请号 02127263.8

[43] 公开日 2003 年 1 月 22 日

[11] 公开号 CN 1392499A

[22] 申请日 2002. 6. 11 [21] 申请号 02127263. 8

## [30] 优先权

[32] 2001. 6. 11 [33] US [31] 176375/2001

[71] 申请人 夏普公司

地址 日本大阪市

[72] 发明人 大西充久

[74] 专利代理机构 中国专利代理(香港)有限公司

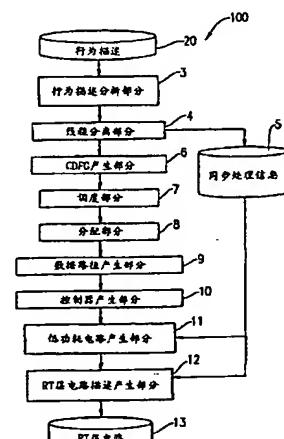
代理人 张志醒

权利要求书 2 页 说明书 13 页 附图 17 页

[54] 发明名称 高层合成装置、高层合成方法、使用高层合成方法产生逻辑电路的方法和记录介质

[57] 摘要

高层合成装置,用于从描述电路过程操作的行为描述中,合成寄存器传输层逻辑电路,包括低功耗电路产生部分,用于产生低功耗电路,只当部分电路在等待状态时,它停止或抑制组成逻辑电路的部分电路的电路操作,从而实现低功耗。低功耗电路产生部分与逻辑电路一起合成。



ISSN 1008-4274

1.高层合成装置，用于从描述电路过程操作的行为描述中合成寄存器传输层逻辑电路，包括

5 低功耗电路产生部分，用于产生低功耗电路，只当部分电路在等待状态时，它停止或抑制组成逻辑电路的部分电路的电路操作，从而实现低功耗，其中低功耗电路产生部分与逻辑电路一起合成。

2.根据权利要求 1 的高层合成装置，其中根据从包括同步通信信息的行为描述信息中提取的同步过程信息，低功耗电路产生部分产生低功耗电路，当部分电路在等待状态时，它停止或减少提供给部分电路的时钟。

10 3.高层合成方法，用于从描述逻辑电路过程操作的行为描述中合成寄存器传输层逻辑电路，从而构成所需的逻辑电路，并且产生合成的逻辑电路，方法包括步骤：

与逻辑电路一起合成合成低功耗电路，只当部分电路在等待状态时，它停止或抑制组成逻辑电路的部分电路的电路操作，从而实现低功耗。

15 4.根据权利要求 3 的高层合成方法，其中合成的低功耗电路通过停止或减少提供给部分电路的时钟，停止或减少部分电路的操作。

5.根据权利要求 4 的高层合成方法，其中合成的低功耗电路使用指示等待状态的信号，控制时钟提供。

20 6.根据权利要求 3 的高层合成方法，其中合成的低功耗电路使用指示等待状态的信号，控制时钟提供。

7.根据权利要求 3 的高层合成方法，其中在部分电路之间的数据传输过程中，当数据发送者一端电路或数据接收者一端电路在等待状态时，合成的低功耗电路停止或抑制部分电路的操作。

25 8.根据权利要求 3 的高层合成方法，其中合成的低功耗电路使用同步通信的控制信号，产生指示部分电路等待状态的信号，并且使用门控时钟驱动部分电路，其中使用指示部分电路等待状态的信号产生门控时钟，从而实现低功耗。

9.根据权利要求 3 的高层合成方法，其中根据从包括同步通信信息的行为描述信息中提取的同步过程信息，执行合成步骤，并且合成的低功耗电路通过

30 停止或减少提供给部分电路的时钟，停止或减少部分电路的操作。

10.根据权利要求 9 的高层合成方法，进一步包括步骤：

根据从包括同步通信信息的行为描述中提取的同步过程信息，对于每部分电路产生信号，指示部分电路在等待状态；并且

使用信号，对于每部分电路产生门控时钟，

5 其中合成的低功耗电路使用产生的门控制时钟驱动部分电路，并且当部分电路在等待状态时，停止提供给部分电路的门控时钟的输出。

11.根据权利要求 4 的高层合成方法，其中在部分电路之间的数据传输过程中，当数据发送者一端电路或数据接收者一端电路在等待状态时，合成的低功耗电路停止或抑制部分电路的操作。

10 12.根据权利要求 4 的高层合成方法，其中合成的低功耗电路使用同步通信的控制信号，产生信号指示部分电路的等待状态，并且使用门控时钟驱动部分电路，门控时钟由使用指示部分电路等待状态的信号所产生，从而实现低功耗。

13.根据权利要求 4 的高层合成方法，其中根据从包括同步通信信息的行为描述信息中提取的同步过程信息执行合成步骤，并且合成的低功耗电路通过停

15 止或减小提供给部分电路的时钟，停止或减小部分电路的操作。

14.根据权利要求 13 的高层合成方法，进一步包括步骤：

根据从包括同步通信信息的行为描述中提取的同步过程信息，对于每部分电路产生信号，指示部分电路在等待状态，并且

使用信号，对于每部分电路产生门控时钟，

20 其中合成的低功耗电路使用产生的门控时钟驱动部分电路，并且当部分电路在等待状态时，停止提供给部分电路的门控时钟的输出。

15.产生逻辑电路的方法，其中根据权利要求 3 的高层合成方法用于设计逻辑电路。

25 16.计算机可读的记录介质，包括控制程序，用于执行根据权利要求 3 的高  
层合成方法。

高层合成装置、高层合成方法、使用高层  
合成方法产生逻辑电路的方法、和记录介质

5

### 技术领域

本发明涉及自动产生逻辑电路的高层合成装置，用于行为描述（设计数据）代表的半导体集成电路（LSI），其中描述了逻辑电路的处理行为。本发明还涉及使用高层合成装置的高层合成方法，使用高层合成方法产生逻辑电路的方法，和计算机可读的记录介质，用于存储控制程序来执行高层合成方法。  
10

### 背景技术

近来的微处理技术已经提供了更大的系统 LSI。很需要这样的发展环境，而可以有效设计并检测这样的系统 LSI。

在 1990 年代，逻辑合成工具发展到实际应用中。此后，用于根据行为描述，  
15 合成具有寄存器传输层（此后称为 RT 层）描述的行为合成工具被投入使用，其中描述了排除硬件信息的行为。与手工产生的 LSI 相比，行为合成工具产生的 LSI 以较短的时间周期设计。

当使用这样的行为合成工具时，设计者可以将他或她的精力集中在算法设计上，其中算法确定了 LSI 的本质行为。这样的算法设计很大程度上依赖于手  
20 工工作。结果，电路的质量可以提高。

在设计大型数字 LSI 的早期阶段，如系统 LSI，整个系统的算法被首先研究并检测（这个过程被称为“算法设计”）。这里，软件描述语言，如编程语言（例如“C 语言”），用于在工作站或个人计算机上设计并检测算法。

然后，系统中需要的独立过程，使用硬件描述语言，被描述为行为描述，  
25 它将被检测。由此，使用软件描述语言预先描述的算法，使用硬件描述语言，在此被描述为行为描述。

这样，传统上，根据整个系统的算法或行为描述，使用 C 语言合成电路的方法（高层合成方法）被建议。这样的现有技术，例如在标题为“设计集成电路的方法，及通过这种方法设计的集成电路”的日本公开出版物第 10-116302  
30 中描述。

当前，具有高层抽象的语言，如“C 语言”，用于描述将应用实现的硬件的行为，并且用于合成硬件电路（高层合成）。

首先，将描述行为描述语言。此后，在后面的描述中，C 语言被扩展，用于后面行为描述目的。特别是，扩展的 C 语言包括并行语句，用于明显地描述并行操作，包括命令，用于并行操作之间的数据通信，并且包括通信通道。

这样语言的例子是 Bach C 语言，在 1998 年 4 月 20-21 日 Karuizawa 电路与系统第 11 工厂的“Bach：用 C 语言设计 LSI 的环境”，和 IEICE CRSY97-87（1997-10）的技术报告“硬件编译 Bach”中描述。图 15 显示了用于硬件描述的 C 语言的例子。在这个例子中，描述了后面的行为。

10 如图 15 所示，行为描述的第三行是整数类型同步通信通道 ch 的定义

第六行的“Par”是并行语句，明显地指示了并行操作。这里，语句指示其中的两块并行操作。

第七行描述了第一线程操作，指示数据通信命令“发送”用于将值 10 发送到通信通道 ch。

15 第八行描述了下面的线程操作，指示了数据通信命令“接收”用于从通信通道“ch”接收命令，并且将接收的命令替换变量 x。

第十行指示在执行了第 6-9 行的并行语句后，变量 x 的内容作为整数类型的十进制数输出到“stdout”。

下面，根据举例的高层合成，解释高层合成过程，其中举例的高层合成，  
20 由标题为“设计集成电路的方法，及通过这种方法设计的集成电路”的日本公开出版物第 10-116302 提出。高层合成的流程被粗略地分成四阶段：(N1) 到 (N4)。参考图 16 的功能块进行解释。

(N1) 分析了描述电路过程行为的行为描述。

(N2) 过程行为被分成并行非同步操作的线程。

25 (N3) 对于每个线程，执行后面的过程 (N3a) 到 (N3f)

(N3a) CDFG 的合成

CDFG（控制数据流程图）是代表以执行次序方式的计算之间的独立性的图。在 CDFG 中，计算、输入和输出由结点代表，并且数据独立关系由方向分支代表。

30 (N3b) 调度

相应于时钟的时间被称为步骤，它被连续分配给 CDFG 的每个计算、输入和输出中。

(N3c) 分配

调度的 CDFG 的执行所需的计算单元、寄存器和输入及输出指针被产生。

5 计算单元被分配给 CDFG 中的计算。寄存器被分配给跨过时钟边界的 data 独立性分支。输入及输出指针被分配个输出和输出。

(N3d) 数据路径的产生

符合 CDFG 中各自 data 独立性关系分支的数据路径被产生出来。

(N3e) 控制器的产生

10 在数据路径的分配和产生中产生的控制计算单元、寄存器和多路复合器的控制器产生出来。

(N3f) RT 层电路的产生

通过上述过程产生的电路的电路描述，使用硬件描述语言，如 VHDL[VHSIC (甚高速集成电路) 硬件描述语言]或相似来产生。

15 (N4) 每个对于各自线程的 RT 层电路 (部分电路) 集成到一起，成为单一 RT 层电路。

下面，将解释高层合成中的并行操作和通信。

此后，假设在使用同步通道的通信中 (此后被称为同步通道通信)，在发送者一端线程 (此后被称为发送线程) 和接收者一端线程 (此后被称为接收线程) 20 处于准备通信的状态之后，传输数据。

作为实现同步通道通信的一种方法，它使用图 17 显示的电路结构，它采用了握手控制信号。在这样的电路结构中，发送线程电路具有后面的端口。电路每个端口的 (I) 指示端口是输入端口，而 (O) 指示端口是输出端口。“wtx” 25 代表到接收者一端发送请求信号 (或者发送完成信号) 的控制线端口。“wrx” 代表从接收者一端接收请求信号 (或者接收完成信号) 的控制线端口。“wdata” 代表发送者一端的数据线端口。

另一方面，接收线程电路具有后面的端口。电路每个端口中的 (I) 指示端口是输入端口，而 (O) 指示端口是输出端口。“rnx” 代表到接收者一端接收请求信号 (或接收完成信号) 的控制线端口。“rtx” 代表从接收者一端发送请求信号 (或发送完成信号) 的控制线端口。“rdata” 代表接收者一端的数据线 30 端口。

端口。

图 18 显示了电路结构中数据传输举例的时刻图。应该注意在初始状态，每条控制线的电压被假定为“低”电平。

假设首先执行“发送命令”，此后，执行“接收命令”。如图 18 所示，例如，发送线程（线程 1）在时钟循环 c1 执行“发送命令”，而接收线程（线程 2）在时钟循环 c3 执行“接收命令”。

发送线程在时钟循环 c1 将数据 d1 输出到数据线端口（wdata），并且促使控制线端口“wtx (O)”的电压为“高”电平。进一步，发送线程等待，直到控制线端口“wtx (I)”的电压变为“高”。当控制线端口“wtx (I)”的电压变为“高”时，发送线程促使控制线端口“wtx (O)”变为“低”，并且在下一个时钟周期（c4）结束到数据线端口“wdata”的数据输出。

另一方面，接收线程促使控制线端口“rnx (O)”的电压在时钟周期 c3 为“高”电平。这里，由于控制线端口“rnx (I)”的电压为“高”电平，接收线程参考数据线端口“rdata”的数据 d1，并且促使控制线端口“rnx (O)”的电压在下一个时钟周期 c4 变为“低”。这样，数据通信结束。

下面，假设首先执行“接收命令”，此后，执行“发送命令”。

如图 18 所示，例如，接收线程在时钟周期 c7 执行“接收命令”，而发送线程在时钟周期 c9 执行“发送命令”。

接收线程促使控制线端口“rnx (O)”的电压在时钟周期 c7 为“高”电平。进一步，接收线程等待，直到控制线端口“rnx (I)”的电压变为“高”。当控制线端口“rnx (I)”的电压变为“高”时，接收线程参考数据端口“rdata”的数据 d2，并且促使控制线端口“rnx (O)”的电压在时钟周期 c10 变为“低”。

发送线程将数据 d2 输出到数据线端口“wdata”，并且促使控制线端口“wtx (O)”的电压在时钟周期 c9 变为“高”。这里，由于控制线端口“rnx (O)”在“高”电平，发送线程促使控制线端口“wtx (O)”的电压变为“低”，并且在下一个时钟周期 c10 结束到数据线端口“wdata”的数据输出。这样，数据通信结束。

以这种方式，在发送线程促使控制线端口“wtx (O)”的电压变为“高”后，当控制线端口“wtx (I)”的电压变为“高”时，“发送命令”结束。在接收线程促使控制线端口“rnx (O)”的电压变为“高”后，当控制线端口“rnx

(I)”的电压变为“高”时，“接收命令”结束。当这些“发送命令”和“接收命令”在相同时钟周期  $C_n$  执行时，数据通信在时钟周期  $C_{n+1}$  结束。

在基于消费者的便携设备和通信设备领域，对电池寿命的延长，LSI 可靠性的提高，热量产生的减少，LSI 冷却和封装成本的减少，及相似存在需求。

5 为了满足这些需求，电路的功耗必须降低。

通常，CMOS 逻辑电路的功耗  $P$  表示为：

$$P = \alpha \cdot C \cdot V^2 \cdot f$$

其中  $\alpha$  指示电路的开关速率， $C$  指示其负载电容， $V$  指示其操作电压，而  $f$  指示其操作频率。

10 根据表达式，开关速率的减小可以导致功耗的降低。

通常，合成的 RT 层电路由多个部分电路组成，它们符合并行非同步操作的线程。并且总是由时钟驱动。

15 另一方面，当在线程之间执行同步通道通信时，即使发送线程或接收线程之一开始数据通信，方法之一可以等待，直到另一个开始。例如，在图 18 显示的时钟周期  $c_2$  和  $c_3$  中，发送线程处于等待状态，而在时钟周期  $c_8$  和  $c_9$  中，接收线程处于等待状态。当线程在等待状态时，即使相应的部分电路不操作，电路的输出也不生效。

20 然而，在上述传统结构中，即使适当的线程在等待状态，时钟也总是被提供。结果，尽管电路的输出不生效，通过在部分电路中提供时钟，功率也被无用的消耗。

#### 发明内容

25 根据本发明的一方面，用于从描述电路加工方法的行为描述合成寄存器传输层逻辑电路的高层合成装置，包括用于产生低功耗电路的低功耗电路产生部分，其中只当部分电路在等待状态时，它停止或抑制组成逻辑电路的部分电路的电路操作，从而实现低功耗。低功耗电路产生部分与逻辑电路一起合成。

在这项发明的一个实施例中，根据从行为描述信息中提取的同步过程信息，低功耗电路产生部分产生低功耗电路，当部分电路在等待状态时，它停止或减少提供给部分电路的时钟，其中行为描述信息包括同步通信信息。

30 根据本发明的另一方面，提供了高层合成方法，用于从行为描述中合成寄存器传输层逻辑电路，其中行为描述描述逻辑电路的过程操作，从而构成所需

的逻辑电路，并且产生合成的逻辑电路。该方法包括与逻辑电路一起合成低功耗电路的步骤，只当部分电路在等待状态时，它停止或抑制组成逻辑电路的部分电路的电路操作，从而实现低功耗。

在这项发明的一个实施例中，通过停止或减少提供给部分电路的时钟，合成的低功耗电路停止或减少部分电路的操作。

在这项发明的一个实施例中，合成的低功耗电路使用指示等待状态的信号，来控制时钟提供。

在这项发明的一个实施例中，在部分电路之间的数据传输过程中，当数据发送者一端电路或数据接收者一端电路在等待状态时，合成的低功耗电路停止或抑制部分电路的操作。

在这项发明的一个实施例中，合成的低功耗电路使用用于同步通信的控制信号，产生指示部分电路等待状态的信号，并且使用门控时钟驱动部分电路，其中使用指示部分电路等待的信号产生门控时钟，从而实现低功耗。

在合成步骤的一个实施例中，根据从行为描述信息中提取的同步过程信息，执行合成步骤，其中行为描述信息包括同步通信信息，并且通过停止或减少提供给部分电路的时钟，合成的低功耗电路停止或减少部分电路的操作。

在这项发明的一个实施例中，高层合成方法进一步包括步骤，根据从行为描述信息中提取的同步处理信息，对于每部分电路产生信号，指示部分电路在等待状态，并且使用信号，对于每部分电路产生门控时钟，其中行为描述信息包括同步通信信息。合成的低功耗电路使用产生的门控时钟，来驱动部分电路，并且当部分电路在等待状态时，停止提供给部分电路的门控时钟。

根据本发明的另一方面，提供了方法来产生逻辑电路，其中上述高层合成方法用于设计逻辑电路。

根据本发明的另一方面，提供计算机可读的记录介质，包括控制程序，用于执行上述高层合成方法。

这样，这里描述的发明使提供高层合成装置的优点成为可能，其中高层合成装置能够产生低功耗电路结构，当线程在等待状态时，浪费的功耗可以降低，高层合成方法使用高层合成装置，方法使用高层合成方法产生逻辑电路，并且计算机可读的记录介质记录控制程序，用于执行高层合成方法。

对于本技术的那些专家而言，在参考附图，阅读并理解了后面的具体描述

后，本发明的这些和其它优点将变得明显。

#### 附图说明

图 1 是根据本发明例子的高层合成装置的结构图，显示了其主要功能部分。

图 2A 是显示举例的行为描述的图。

5 图 2B 是显示同步通道的同步过程信息的图。

图 3 是示意图，显示了图 1 的高层合成装置产生的 CDFG 结果。

图 4 是示意图，显示了图 1 的高层合成装置的调度结果。

图 5 是示意图，显示了图 1 的高层合成装置的分配（计算单元）结果。

图 6 是示意图，显示了图 1 的高层合成装置的分配（寄存器）结果。

10 图 7 是示意图，显示了图 1 的高层合成装置的数据路径产生结果。

图 8 是示意图，显示了图 1 的高层合成装置的控制器产生结果。

图 9A 是示意图，显示了图 1 的高层合成装置的低功耗电路产生结果，其中低功耗电路符合线程 1。

15 图 9B 是示意图，显示了图 1 的高层合成装置的低功耗电路产生结果，其中低功耗电路符合线程 2。

图 10 是示意图，显示了图 1 的高层合成装置的 RT 层电路产生结果。

图 11 是显示举例的门控时钟方法的图。

图 12 是当本发明的低功耗电路应用于图 17 显示的举例的同步通信时的电路图。

20 图 13 是时刻图，显示了包括图 12 低功耗电路的例子。

图 14 是时刻图，显示了图 10 的 RT 层电路的举例操作。

图 15 是显示举例的行为描述的图，它包括同步通信。

图 16 是传统高层合成装置结构的方块图，显示了其主要功能部分。

图 17 是示意性电路图，显示了实现同步通信的举例方法。

25 图 18 是时刻图，显示了图 17 的同步通信的举例操作。

#### 具体实施方式

此后，将参考附图描述根据本发明的高层合成装置和方法。

图 1 是根据本发明一个例子的高层合成装置结构的方块图，显示了其主要功能部分。在图 1 中，高层合成装置 100 包括行为描述存储部分 20、行为描述分析部分 3、线程分离部分 4、同步处理信息存储部分 5、CDFG（控制数据流

程图)产生部分 6、调度部分 7、分配部分 8、数据路径产生部分 9、控制器产生部分 10、低功耗电路产生部分 11、RT 层电路描述产生部分 12、和 RT 层电路存储部分 13。

行为描述存储部分 20 存储逻辑电路 (LSI 数字电路) 的行为描述 (例如图 5 2A)，其中描述了用于高层合成过程方法的算法。

行为描述分析部分 3 提取并分析图 2A 显示的行为描述，它描述电路过程操作的算法，来提取行为描述中的同步过程信息。同步过程信息是需要线程之间同步的过程的信息。例如，这样的信息涉及使用同步通道的通信。特别是，同步过程信息不仅包括同步通道的同步过程信息，而且包括其它过程中的信息。其它过程中的信息包括例如同步的信息，其中并行操作的并行语句中的多个块同步开始过程，或者并行语句中的下一个过程在所有的块结束后开始。

线程分离部分 4 跟踪语法树，并且将树分成多个线程，其中多个线程并行非同步操作；并且产生同步通道中信息片段的列表，线程通过同步通道执行“发送”操作；并且产生同步通道中信息片段的列表，线程通过同步通道执行“接收”操作。应该注意在图 2A 的行为描述中，第 7-14 行符合线程 1，而第 15-19 行符合线程 2。

同步处理信息存储部分 5 存储同步处理中的信息，或者存储其它同步处理信息，其中同步处理涉及图 2B 显示的同步通道，同步通道对于每个线程，由线程分离部分 4 产生。

20 例如根据图 2A 的行为描述，CDFG 产生部分 6 产生图 3 显示的 CDFG (控制数据流程图)。其细节将在下面描述。

调度部分 7 产生调度，其中 CDFG 被分成例如图 4 显示的多步。

分配部分 8 将图 5 显示的计算单元，和图 6 显示的寄存器分配给 CDFG，如下所述。

25 数据路径产生部分 9 产生 (连接) 电路元件之间的数据总线 (数据路径)，其中电路元件分配有图 7 的实线显示的计算单元或寄存器。

控制器产生部分 10 将具有数据总线连接的电路加入控制器，如图 8 的实线所示。控制器连接到控制线上。

根据涉及同步通道的同步处理信息，低功耗电路产生部分 11 产生例如图 9A 30 和 9B 显示的低功耗电路 11A 和 11B，其中同步处理信息存储在图 2B 显示的

同步处理信息存储部分 5 中。当线程在等待状态时，低功耗电路 11A 和 11B 对于每个线程的部分电路停止提供时钟。

例如在图 10 中，RT 层电路描述产生部分 12 (RT 层电路产生部分) 连接部分电路 (线程 1 和 2) 和低功耗电路 11A 和 11B，来产生 RT 层电路。

5 RT 层电路存储部分 13 存储产生的 RT 层电路信息。

这里，作为控制提供给电路的时钟信号的举例方法，将描述使用与 (AND) 逻辑元件或或 (OR) 逻辑元件的门控时钟方法。在这种方法中，如图 11 所示，通过改变控制信号 (允许信号)，时钟脉冲在所需的时刻输出。门控时钟方法可以用作举例的方法，来停止部分电路的操作。可以采用其它方法来停止部分 10 电路的操作。

例如，当门控时钟方法应用入图 17 显示的电路中时，电路将如图 12 所示构成。这个电路的时刻表在图 13 中显示。如图 13 的时刻表中所示，在时钟周期 c2 和 c3，停止到线程 1 (发送) 的时钟信号，而在时钟周期 c8 和 c9，停止到线程 2 (接收) 的时钟信号。由此，时钟信号促使产生的功耗降低到 9/11。

15 这样，在本发明中，当线程在等待状态时 (保持在高或低电平)，产生的低功耗电路用于停止将时钟提供给部分电路。结果，部分电路的开关速率降低，由此实现低功耗。

上述结构的操作将具体描述。

首先，假设给出行为描述，其中高层合成过程的算法如图 2A 所示描述。

20 在这种情况下，行为描述分析部分 3 分析从行为描述存储部分 20 得到的预定的行为描述。在图 2A 的行为描述的并行语句中，线程分离部分 4 将第一块分配给线程 1，并且将第二块分配给线程 2。例如，由线程 1 和 2 访问的同步通道例如在图 2B (表 1) 中显示。同步通道的信息存储在同步处理信息存储部分 5 中。

25 下面，CDFG 产生部分 6 产生 CDFG (控制数据流程图)。例如，根据图 2A 的行为描述，产生如图 3 所示的 CDFG (控制数据流程图)，其中通信通道的输入或输出，如“发送”或“接收 (rcv)”或相似，各种计算，如加“+”、减“-”、乘“x”，及相似由结点代表，并且每个结点之间的数据独立性关系由方向分支代表。

30 进一步，调度部分 7 执行调度过程。例如，图 3 中线程 1 的结点分配给步

步骤 1 到 4, 而线程 2 的结点分配给步骤 1 和 2, 由此得到图 4 显示的调度。

进一步, 分配部分 8 将电路元件, 如计算单元和寄存器分配给结点。对于计算单元的分配, 如图 5 所示, “发送”或“接收 (rcv)”被分配给通信控制线端口“rtx”、“rrx”、“wtx”和“wrx”, 或数据线端口“rdata”和“wdata”,

5 而加“+”、减“-”和乘“x”被分配给加法器“ADD”、减法器“SUB”和乘法器“MULT”。

对于寄存器的分配, 各自步骤间的分支被分配给寄存器“regx”到“regz”和“regA”, 导致了图 6 所示的分配。

进一步, 数据路径产生部分 9 产生数据总线 (数据路径)。根据图 5 和 6 显 10 示的过程, 以图 7 的实线显示的数据总线被产生。

进一步, 控制器产生部分 10 产生控制线, 用于控制控制器“CTRL1”、控制器“CTRL2”、通信和寄存器“regx”到“regz”及“regA”。

进一步, 作为本发明特性部分的低功耗电路产生部分 11, 产生图 9A 和 9B 显示的低功耗电路 11A 和 11B。这里, 假设提供给线程 1 和 2 的时钟信号由门 15 控时钟方法控制, 其中采用或逻辑门作为时钟的门电路。根据线程分离部分 4 提取的通道信息, 其中线程分离部分 4 被每个线程 1 和 2 访问, 执行后面的过程 (1) 到 (3):

(1) 对于读取线程通道“rch”, 使用通信控制线“rrx\_rch”和控制线“rtx\_rch”, 产生后面的逻辑

20  $\text{wait\_rch} \leq \text{rrx\_rch} \text{ AND } (\text{not rtx\_rch})$ ;

(2) 对于写入线程通道“wch”, 使用通信控制线“wtx\_rch”和控制线“wrx\_rch”, 产生后面的逻辑

$\text{wait\_wch} \leq \text{wtx\_wch} \text{ AND } (\text{not wrx\_wch})$ ;

25 (3) 从产生的逻辑和时钟“clk”中, 产生门控时钟“gclk”。这里, 当线程包括多个读取通道和/或写入通道时, 计算相应于每个通道的“wait\_rch”和/或“wait\_wch”的逻辑或。

$\text{gclk} \leq \text{clk OR } (\text{wait\_rch} \text{ 或 } \text{wait\_wch})$ ; 从图 2B (表 1) 中, 产生图 9 显示的门控时钟产生电路 11A 和 11B。

30 最后, RT 层电路描述产生部分 12 将线程 1 和 2 中的部分电路与低功耗电

路 11A 和 11B 相互连接，导致图 10 所示的 RT 层电路。

图 14 显示了图 10 的 RT 层电路的举例时刻图。

在这种情况下，线程 1 的操作如下。

如图 14 所示，线程 1 首先试图在时钟周期 c1 (trrx\_1 设置为 “HIGH”) 从 5 同步通道 i 接收数据，然而由于数据不外部地发送，线程 1 等待直到时钟周期 c6。

下面，在时钟周期 c6，线程 1 从同步通道 1 接收数据 x1。

在时钟周期 c7，线程 1 从同步通道 i 接收数据 y1，来执行计算。

在时钟周期 c8，计算的结果 z1 发送到同步通道 ch。这个数据由线程 2 接 10 收，此后通信立即结束。

在时钟周期 c9，接收请求再次发送到同步通道 i。

在时钟周期 c11，线程 1 从同步通道 i 接收数据 x2。

在时钟周期 c12，线程 1 从同步通道 i 接收数据 y2，来执行计算。

在时钟周期 c13，计算的结果 z2 发送到同步通道 ch，并且由线程 2 接收。

15 在时钟周期 c14，接收请求发送到电路外部。

线程 2 的操作如下。

首先，在时钟周期 c1，线程 2 将接收请求输出到同步通道 ch，并且等待，直到线程 1 在时钟周期 c9 发送数据。

下面，在时钟周期 c9，线程 2 从同步通道 ch 接收数据 z1，并且将数据发 20 送到同步通道 O。

在时钟周期 c12，同步通道 O 上的发送结束，并且线程 2 将接收请求再次发送到同步通道 ch。

在时钟周期 c14，线程 2 从同步通道 ch 接收数据 Z1，并且将数据发送到同步通道 O。

25 如图 14 所示，在总是提供时钟信号的时钟方法中，在每个线程 1 和 2 中发生 14 个时钟操作，使被时钟驱动的电路内的负载电容被充电或放电，并且消耗功率。

然而，假设在同步通信中，当线程 1 和 2 在等待状态时，时钟提供被控制。

根据例子，当使用门控时钟方法时，提供给线程 1 和线程 2 的时钟数量（时钟 30 上升的数量）各自是八个和三个。

由此，与总是提供时钟信号的方法相比，线程 1 和 2 的时钟信号促使产生的功耗，各自减少一个因数  $8/14$  和  $3/14$ 。这样，本发明的高层合成方法将时钟信号促使产生的开关速率减少一个因数  $N/T$ ，其中  $T$  是由部分电路操作的时钟周期数量，而等待状态的时钟周期数量为  $N$ 。

5 RT 和门层的传统电路设计需要改变设计数据，如 HDL 描述、网络列表或相似，从而使用门控时钟方法。相反，本发明的低功耗方法能够使用原始设计数据（行为描述），而不进行任何改变，由此消除了设计低功耗的周期。

应该注意，尽管这没有在上述例子中规定，通过高层合成方法自动，使用本发明的高层合成装置，从行为描述中自动构成，作为设计数据的逻辑电路结构也顺序产生。产生的电路本身的功耗，可以通过低功耗电路降低。这是本发明的效果。  
10

进一步，在上述例子中，尽管没有规定，包括行为描述分析部分 3、线程分离部分 4、CDFG 产生部分 6、调度部分 7、分配部分 8、数据路径产生部分 9、控制器产生部分 10、低功耗电路产生部分 11、RT 层电路描述产生部分 12 15 和 RT 层电路存储部分 13 的高层合成装置 100，其硬件结构还进一步包括：输入部分，被用户使用来执行输入操作（键盘、鼠标及相似）；存储部分，存储控制程序，用于控制本发明的高层合成方法，并且存储数据（RAM 作为工作存储器，而 ROM 作为只读记录介质）；数据库（行为描述存储部分 20 和同步处理信息存储部分 5 或相似）；和控制部分，由数据部分的输入操作命令控制，  
20 并且根据 ROM 中的控制程序，执行高层合成方法（CPU：中央处理器）。进一步，高层合成装置 100 的硬件结构包括显示部分，如液晶显示装置和相似，用于显示初始屏幕、引导屏幕、执行结果和相似。

进一步，在上述例子中，合成并构成低功耗电路，从而当部分电路（线程）在等待状态时，部分电路的操作停止，结果开关速率  $\alpha$  减小，从而降低功耗。  
25 本发明不限于此。CMOS 逻辑电路的功耗  $P$  与其开关速率  $\alpha$ 、其负载电容  $C$ 、其操作电压  $V^2$  和操作频率  $f$  成正比。由此，可选地，当部分电路（线程）在等待状态时，可以合成低功耗电路，它抑制部分电路的操作电压。在这种情况下，可以将低功耗。特别是，可以合成并构成低功耗电路，从而当部分电路在等待状态时，提供给部分电路的时钟信号的电平被抑制。在这种情况下，可以合成 30 低功耗电路，其中时钟信号促使产生的功耗可以降低。

如上所述，根据本发明，当部分电路在等待状态时，部分电路的操作被停止或被抑制。由此，部分电路的开关速率或操作电压电平可以减小。进一步，由于逻辑电路的功耗与其开关速率或操作电压电平成比例，可以合成低功耗电路，它具有降低的功耗。

5 进一步，当部分电路在等待状态时，提供给部分电路的时钟停止或被抑制。由此，可以合成低功耗电路，其中当部分电路在等待状态时由时钟信号促使产生的功耗降低。

进一步，在数据传输过程中，当部分电路在等待状态时，部分电路的操作被停止或被抑制。由此，可以合成低功耗电路，其中部分电路的开关速率或操作电压电平减小，来降低功耗。

10 进一步，可以合成低功耗电路，其中当部分电路在等待状态时，不产生脉冲的门控时钟用于驱动部分电路，从而时钟促使产生的功耗可以降低。

进一步，当部分电路在等待状态时，时钟提供可以被停止或被抑制。由此，可以合成低功耗电路，其中，由时钟促使产生的在等待状态消耗的功耗可以降低。

15 进一步，当部分电路在等待状态时，提供给每部分电路的时钟可以被停止或被抑制。由此，可以合成低功耗电路，其中由时钟促使产生的，当每部分电路在等待状态时消耗的功耗可以降低。

进一步，如果用于产生低功耗电路的高层合成方法，用于设计逻辑电路，  
20 并且设计的逻辑电路被产生，其中当部分电路在等待状态时浪费的功率降低，那么可以得到具有低功耗电路的逻辑电路。

进一步，记录介质中存储的控制程序可以用于实现低功耗电路的高层合成方法，其中可以降低浪费的功耗。

对于本技术的专家而言，各种其它修改是明显的，并且可以容易地作出，  
25 而不必从本发明的范围和思想中分离出来。由此，所附权利要求书的范围不限于这里作出的描述，而权利要求书会更广泛地构成。

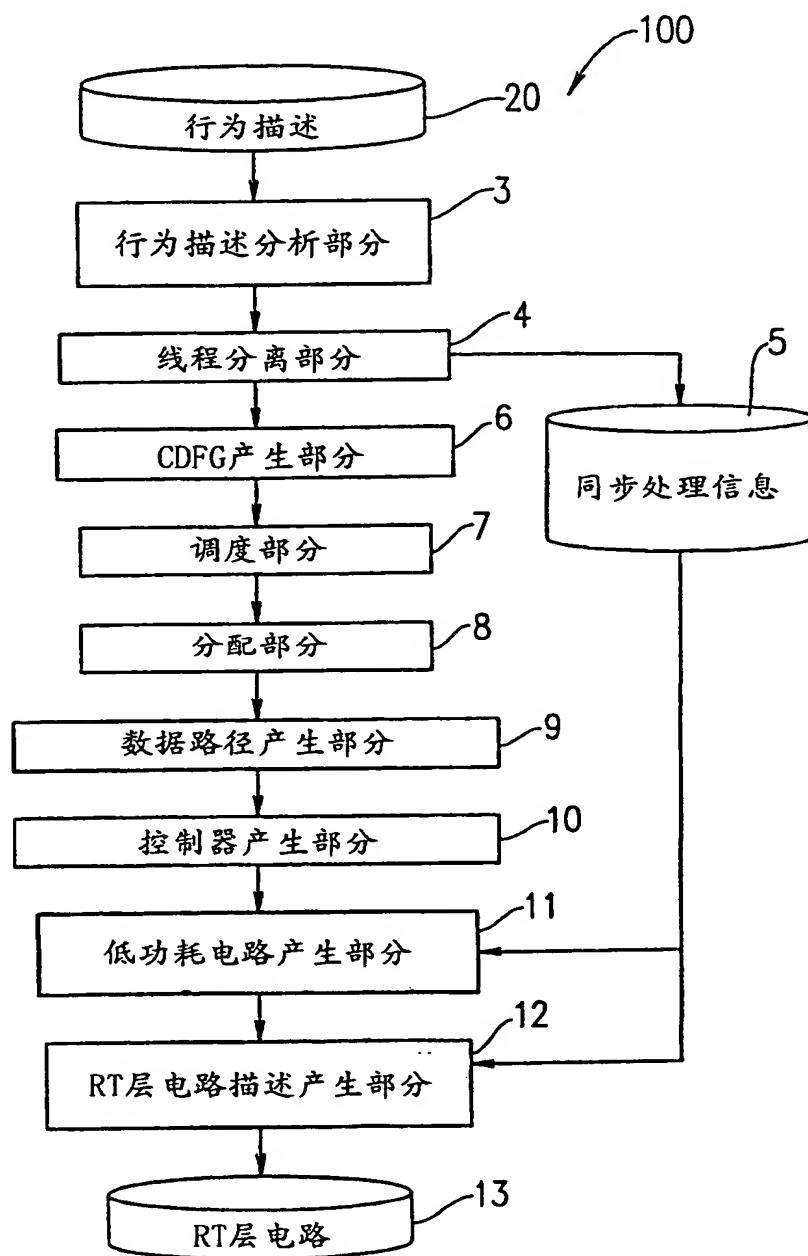


图 1

```

1: void f(chan int i, chan int o)
2: {
3:     chan int ch;
4:     int x, y, z;
5:
6:     par{
7:         /*thread1*/
8:         while(1){
9:             x = receive(i);
10:            y = receive(i);
11:            z = (x+y) * (x-y);
12:            send(ch, z);
13:        }
14:    }
15:    /*thread2*/
16:    while(1){
17:        send(o, receive(ch));
18:    }
19: }
20: }
21: }

```



图 2A

	读取通道	写入通道
线程1	i	ch
线程2	ch	o

图 2B

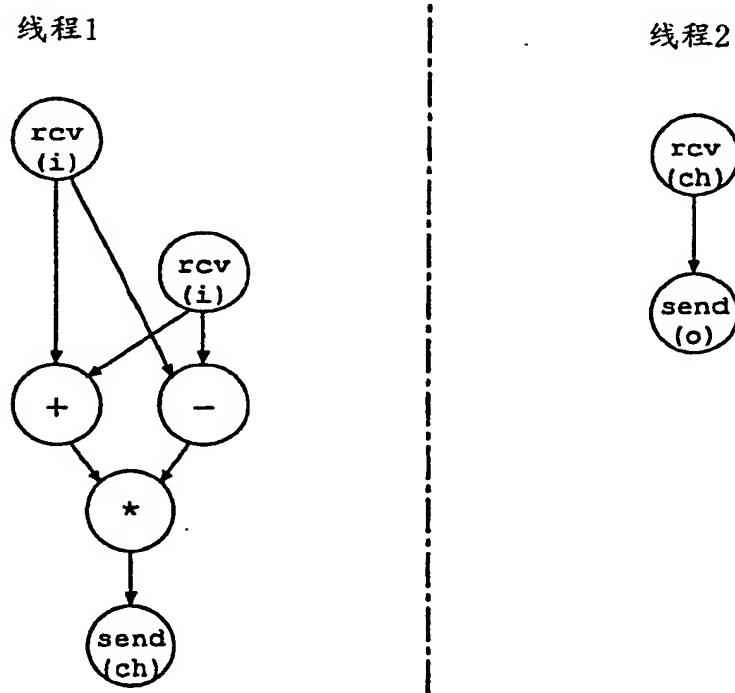


图 3

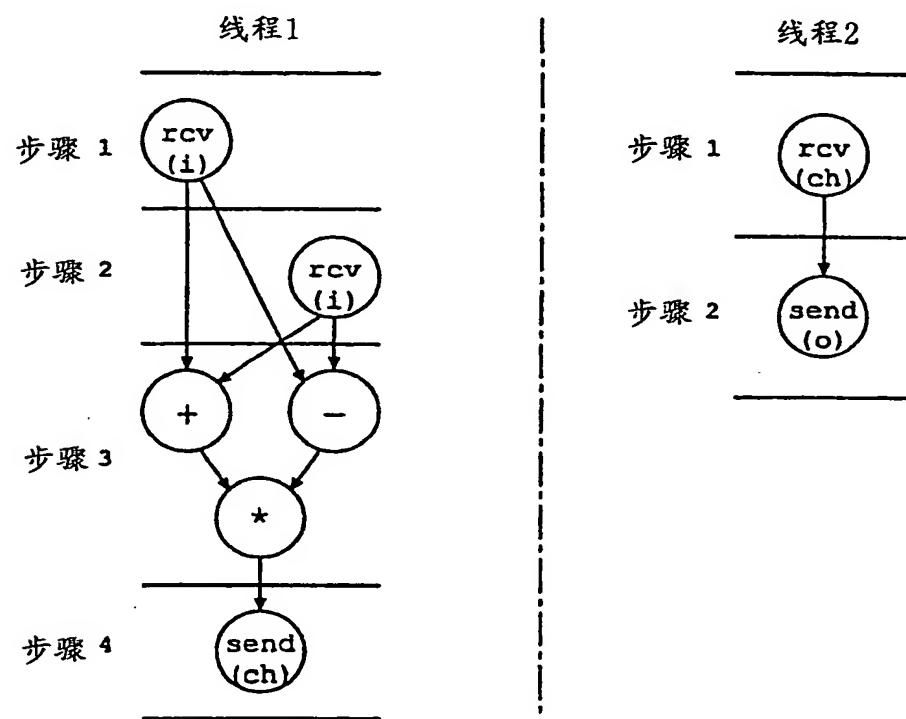
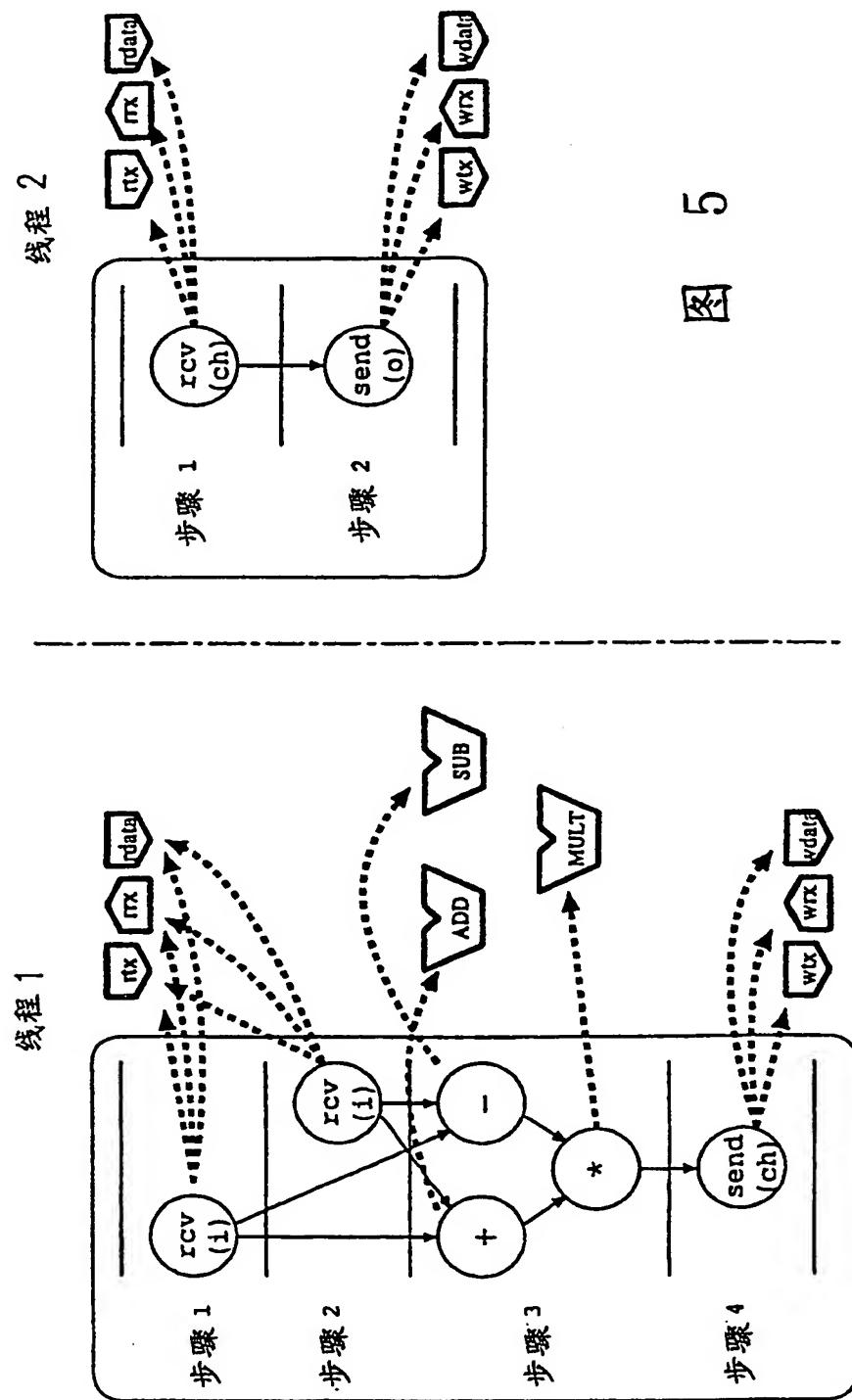
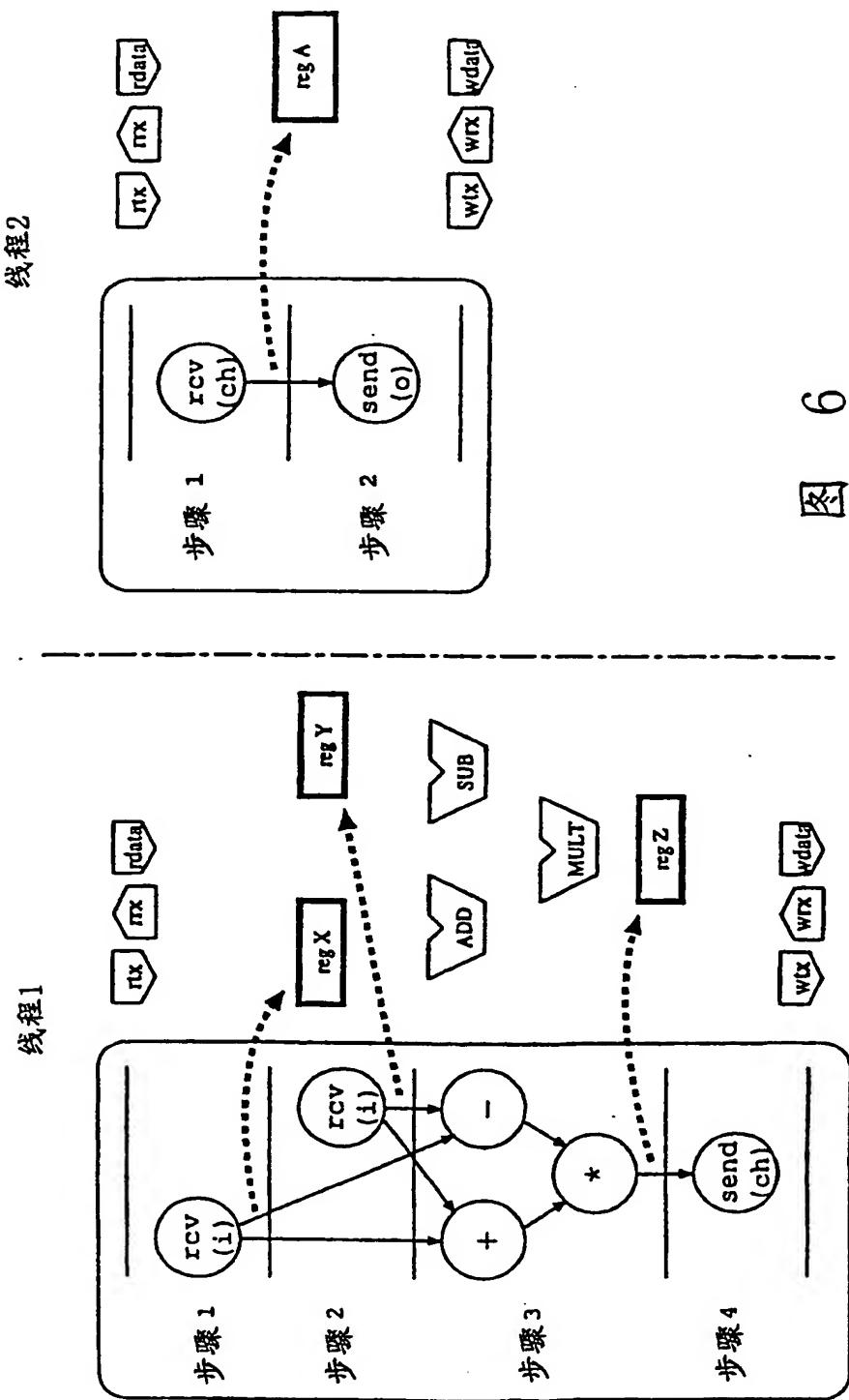


图 4





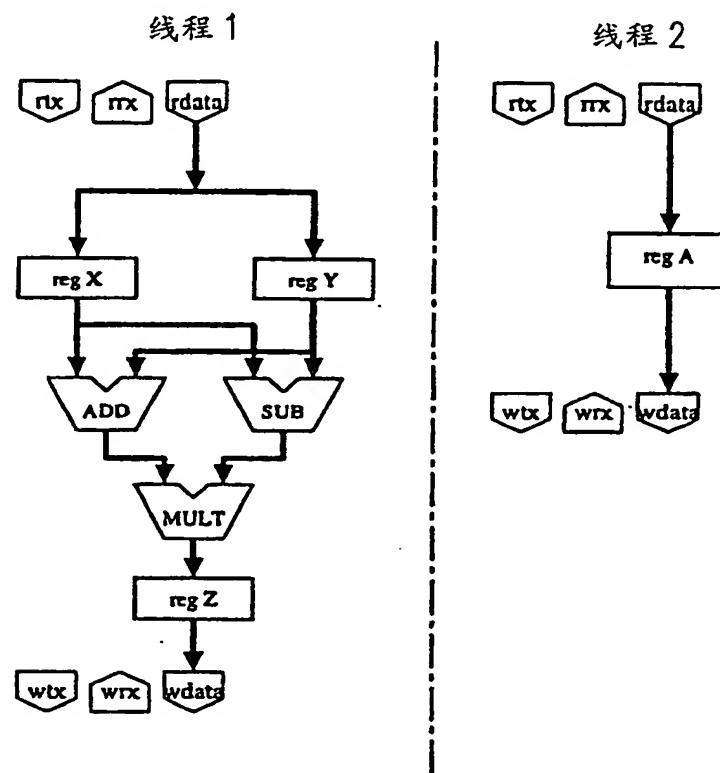


图 7

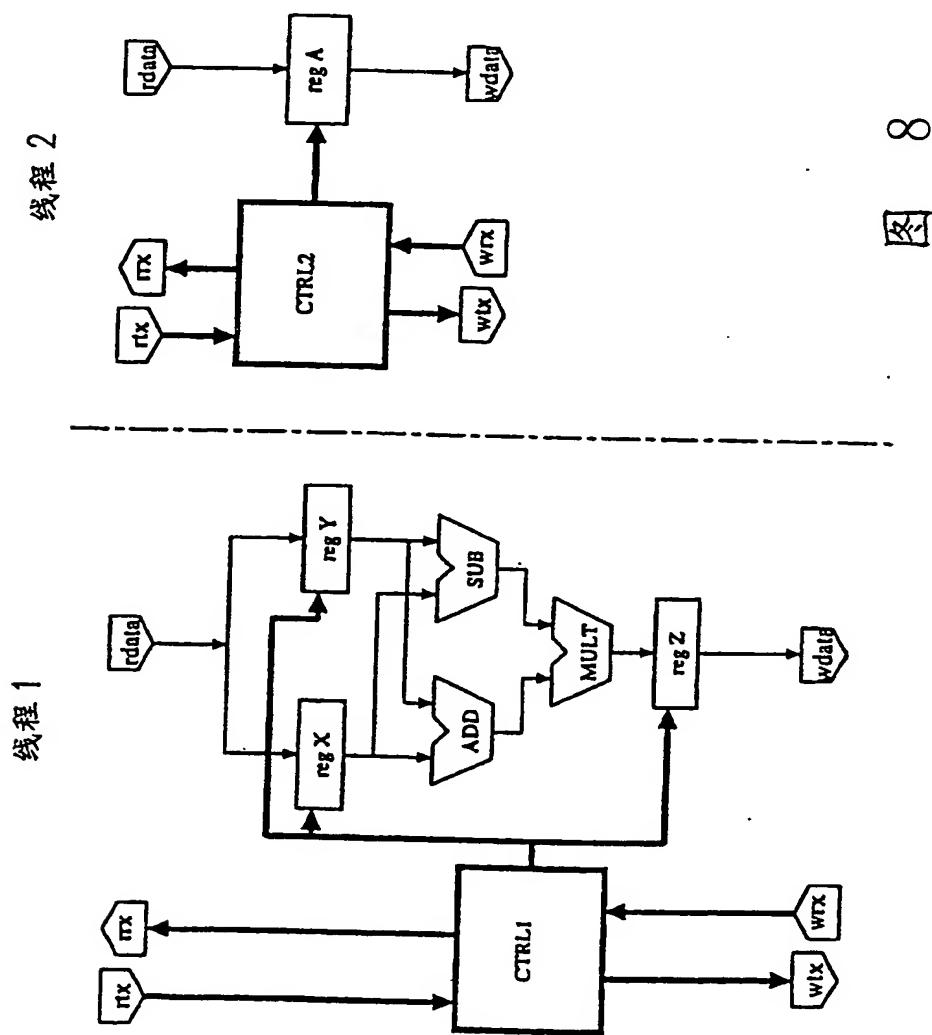


图 9A

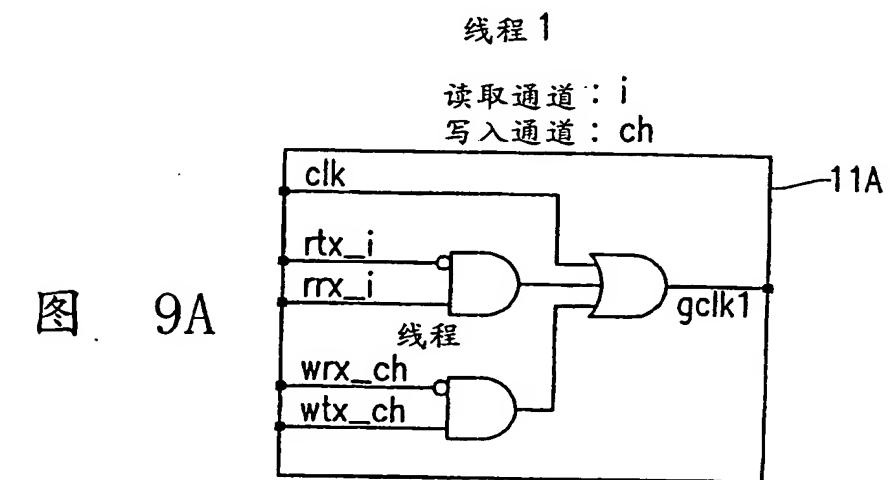
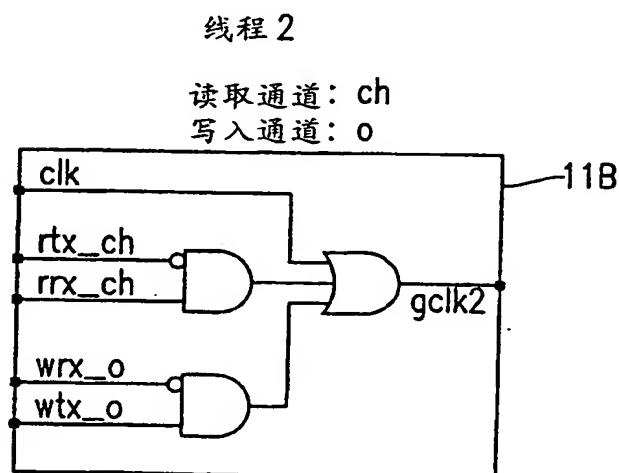
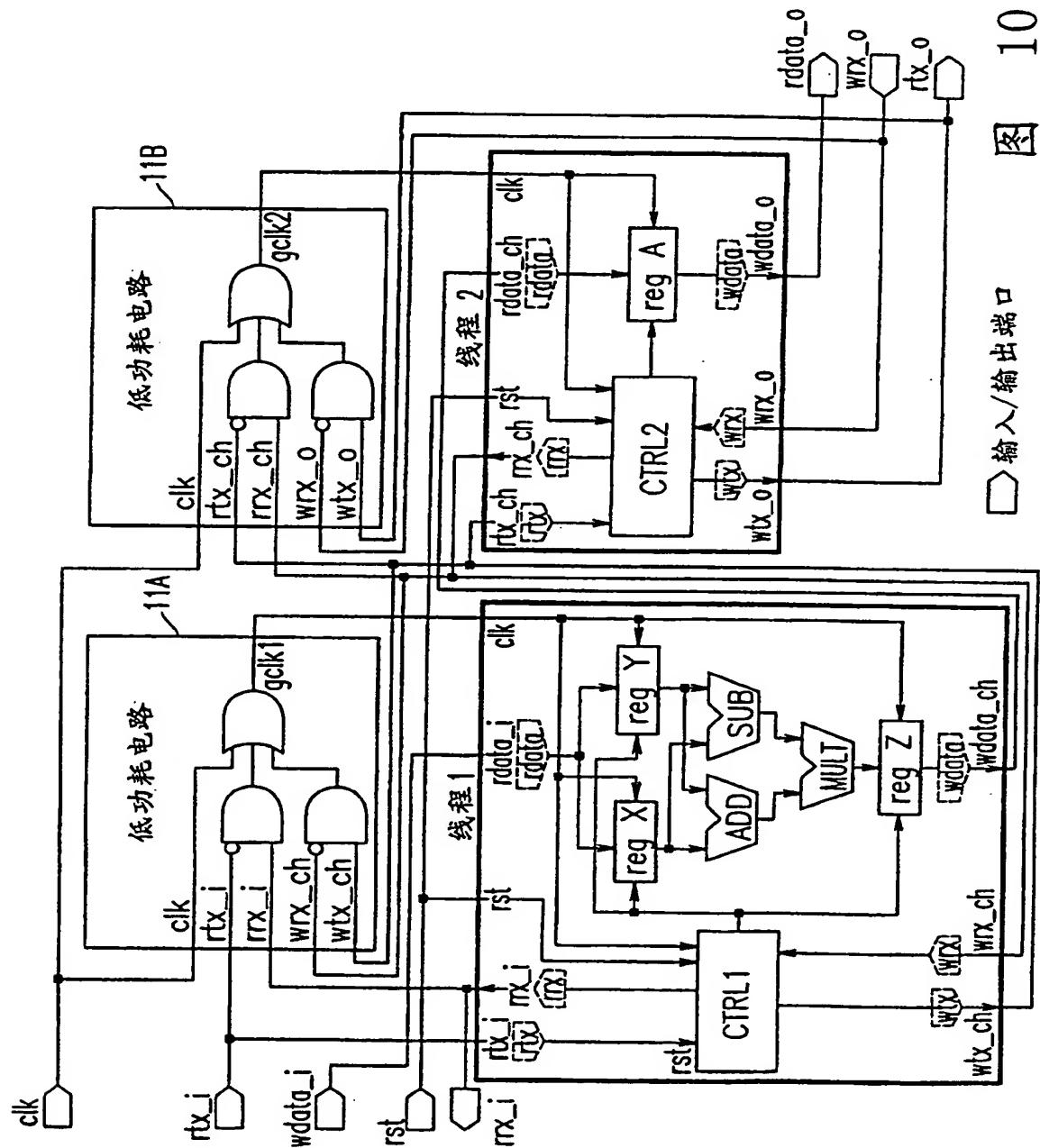
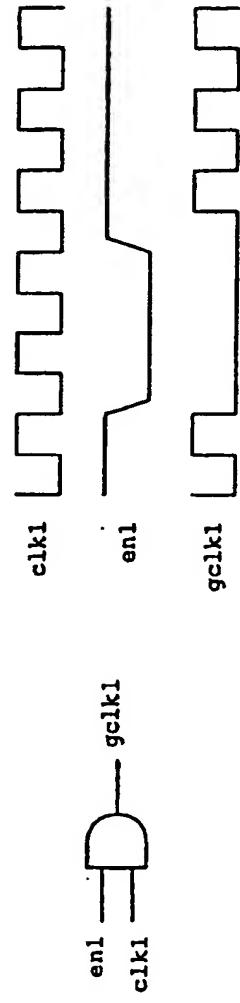


图 9B





(a) 使用与逻辑元件的门控时钟



(b) 使用或逻辑元件的门控时钟

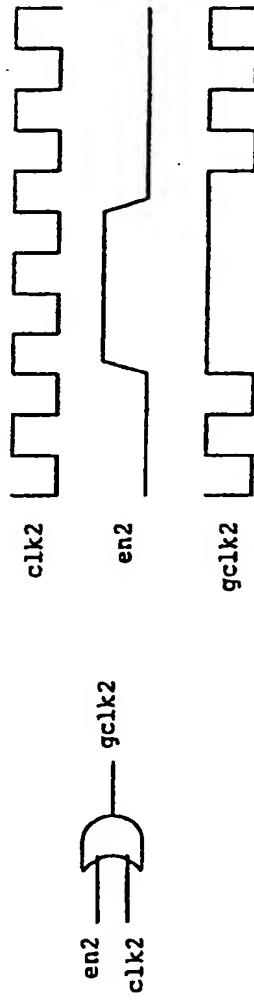


图 1.1

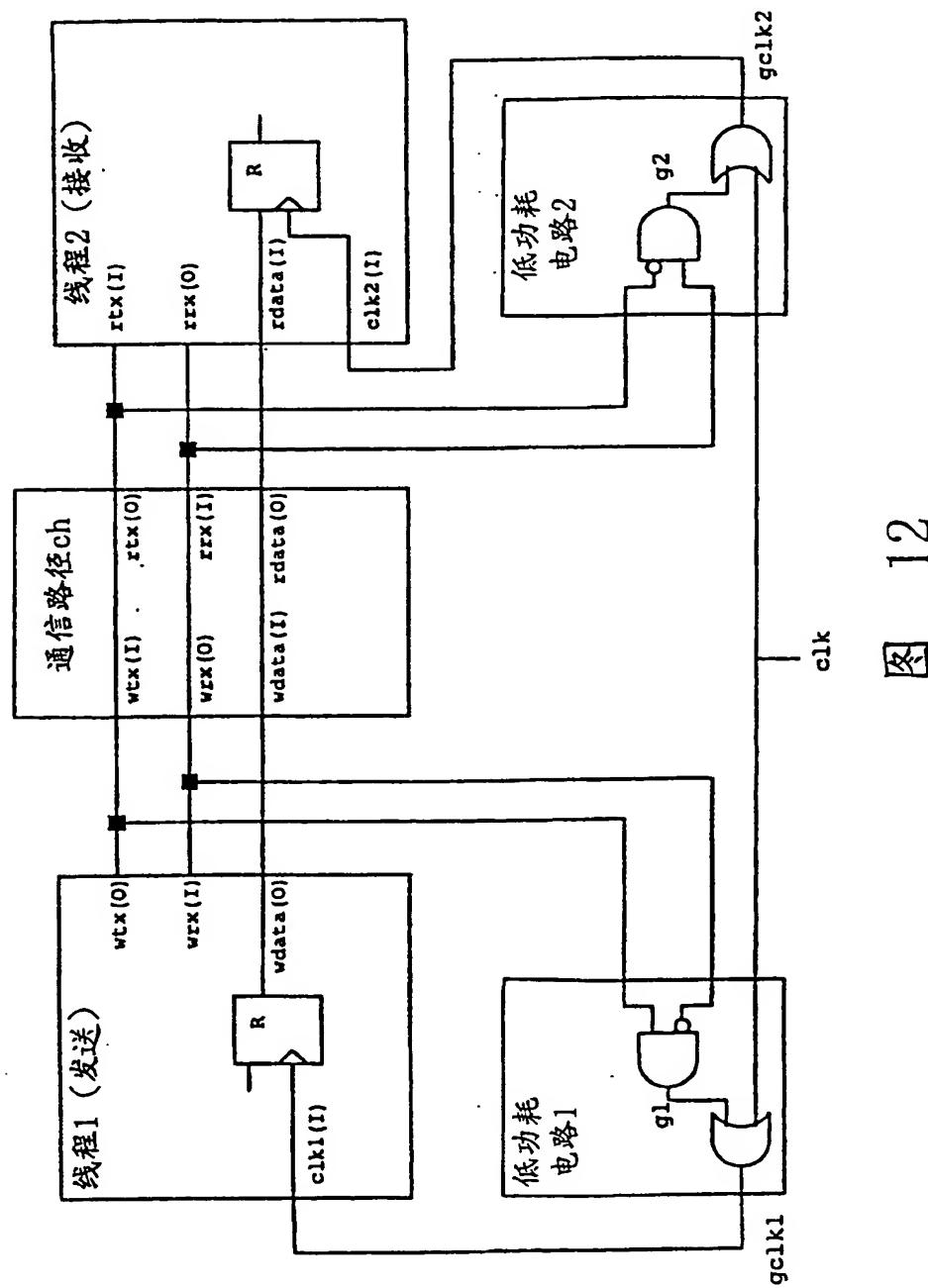


图 12

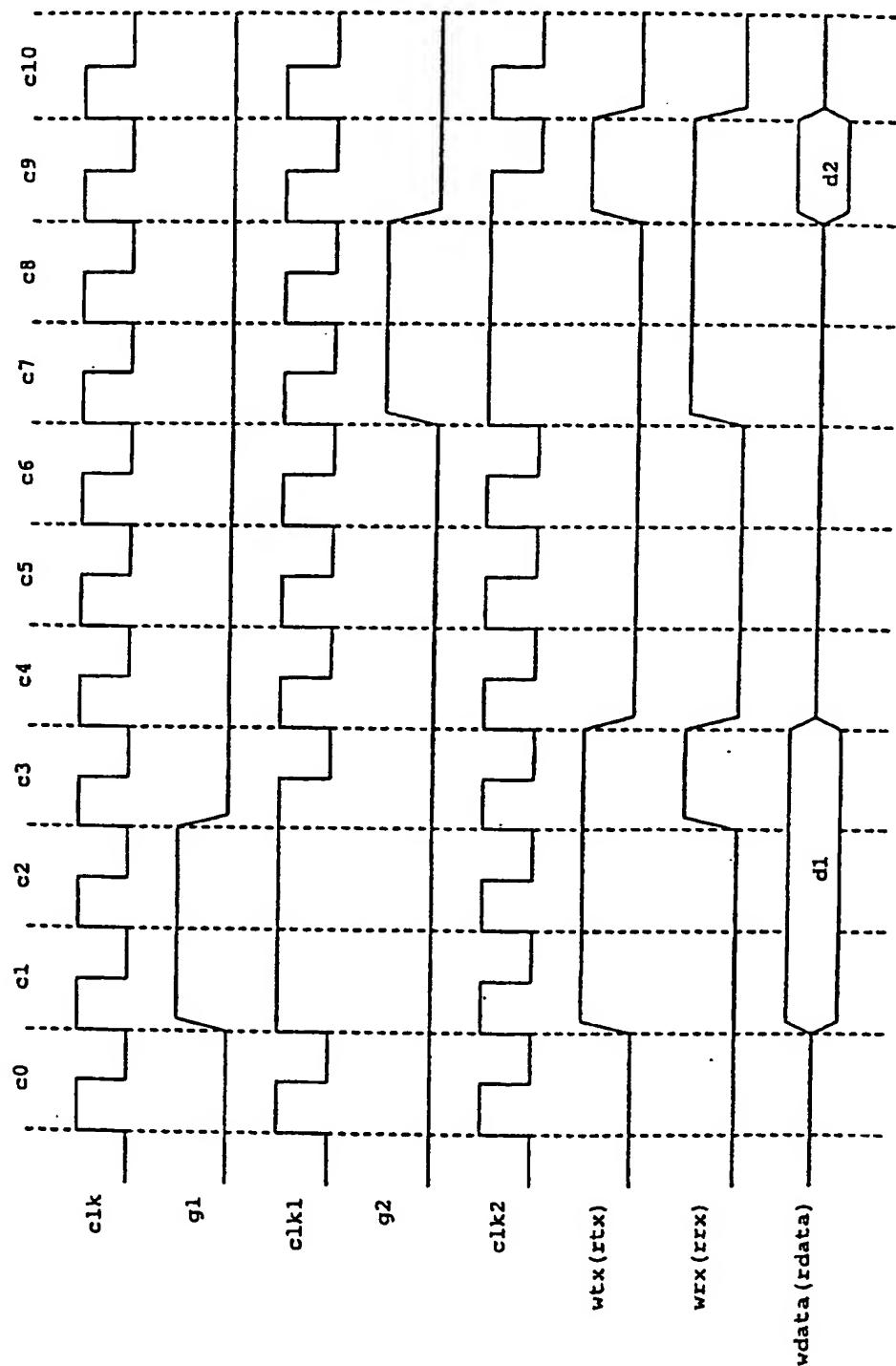
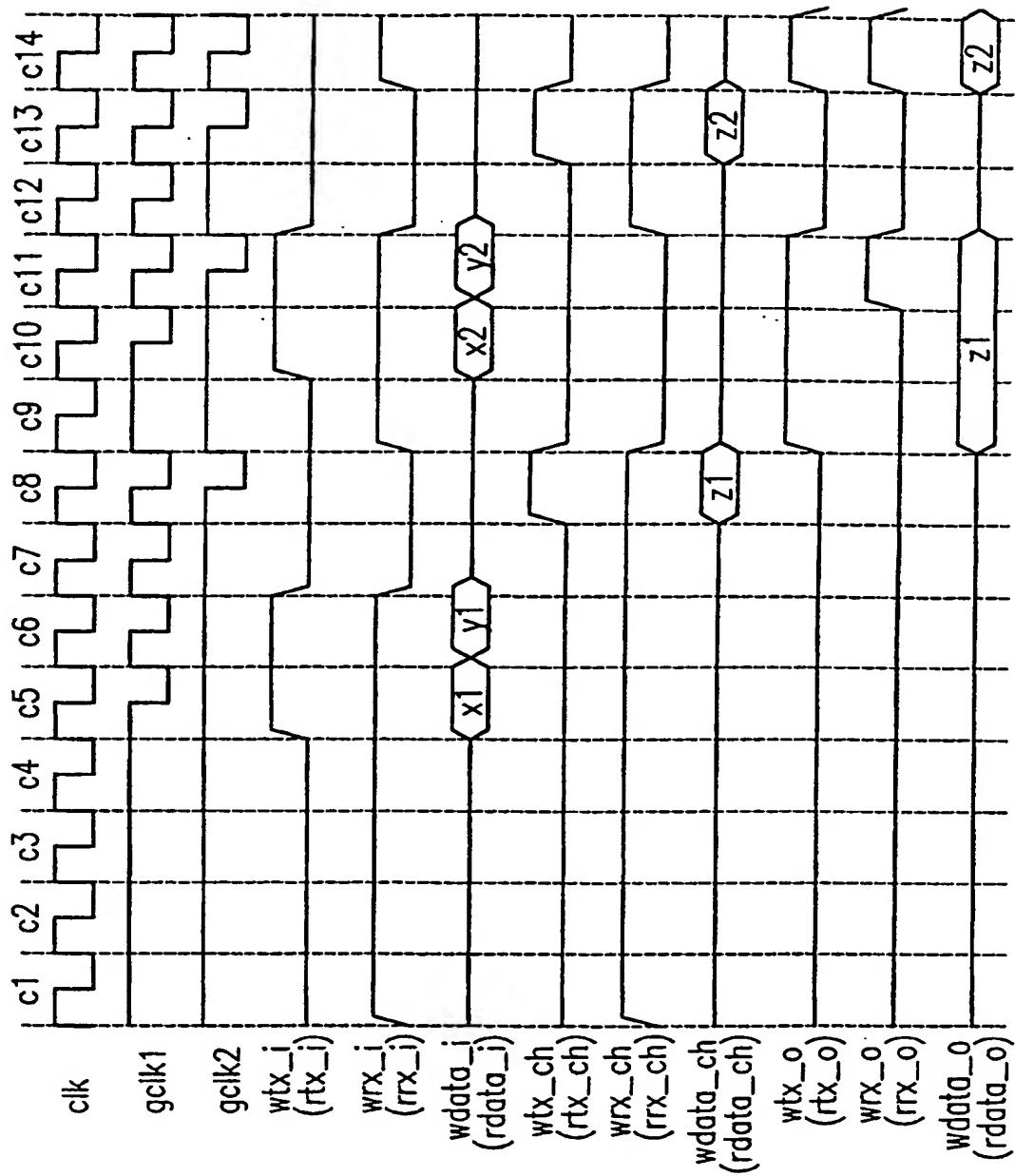


图 13



14  
图

```

1: func()
2: {
3:   chan int ch;
4:   int x;
5:
6:   par{
7:     { send(ch, 10);}
8:     { x=receive(ch);}
9:   }
10:  putint(stdout, 10, 0, x);
11: }

```

图 15

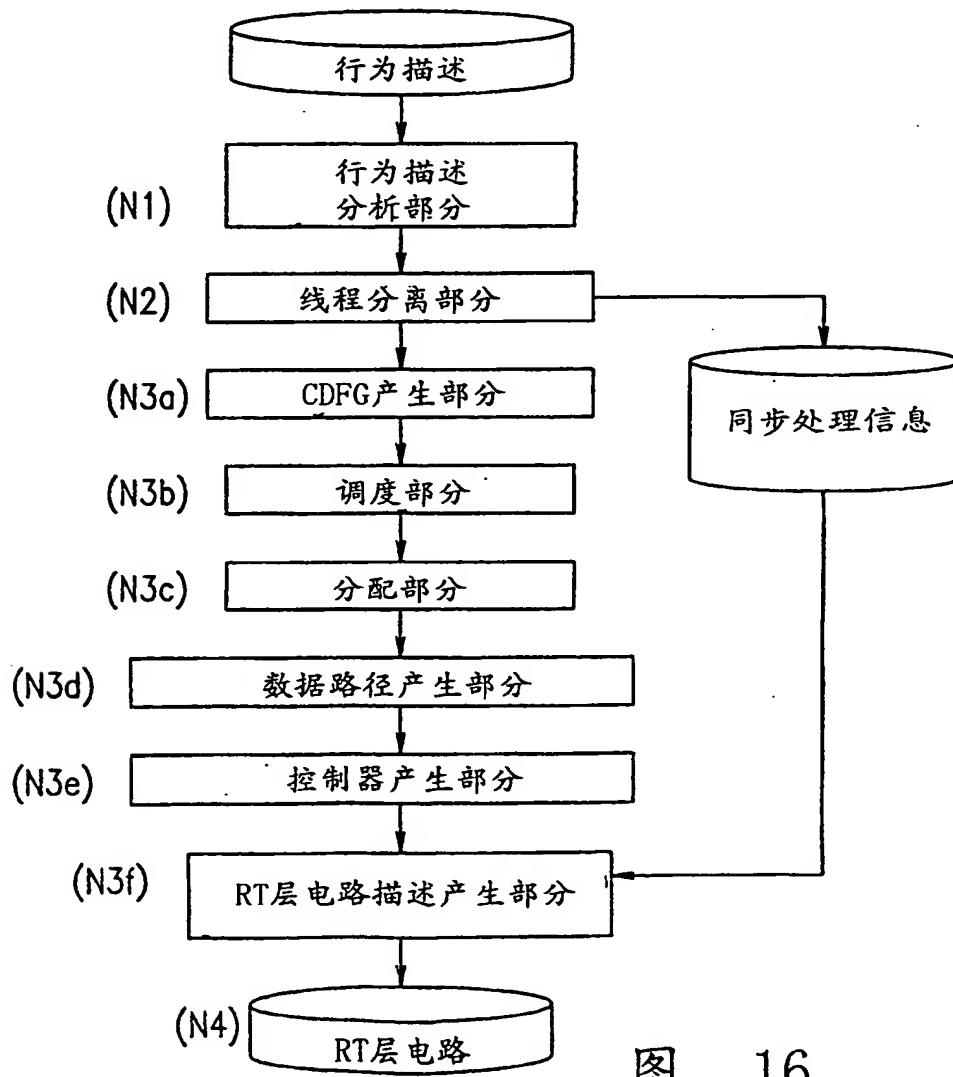


图 16

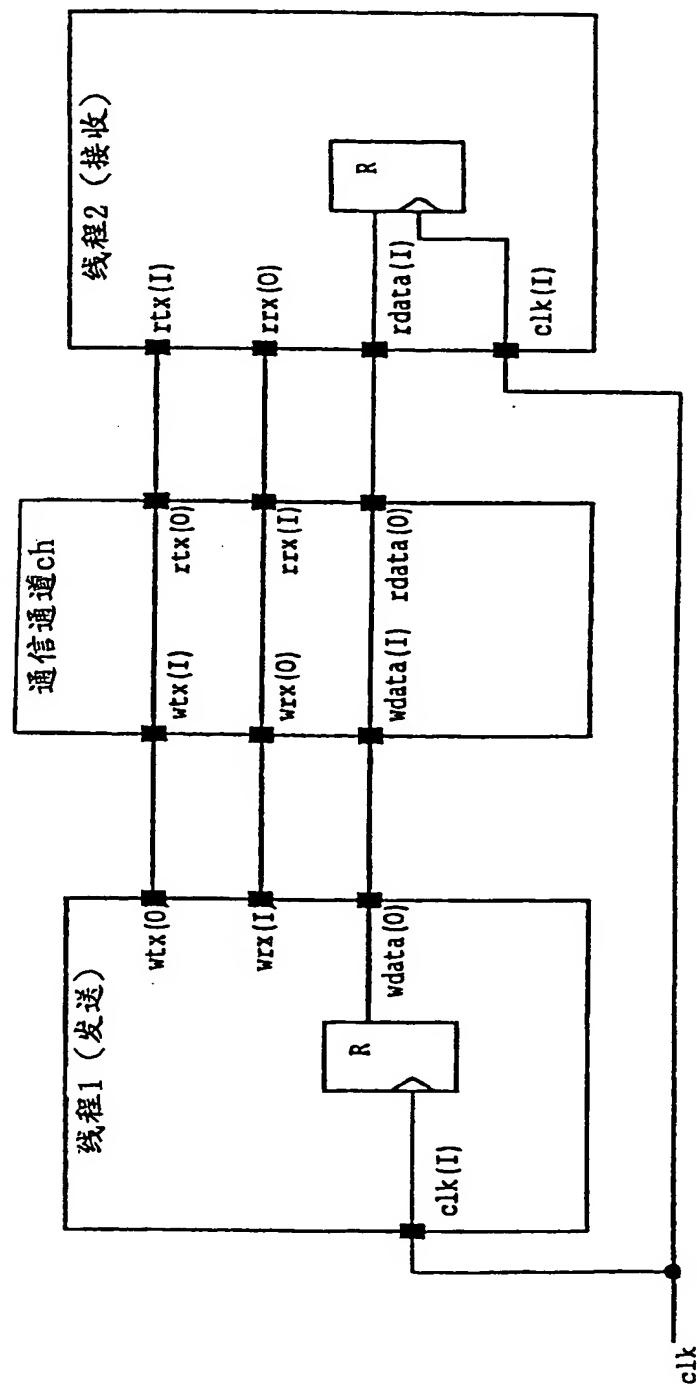


图 17

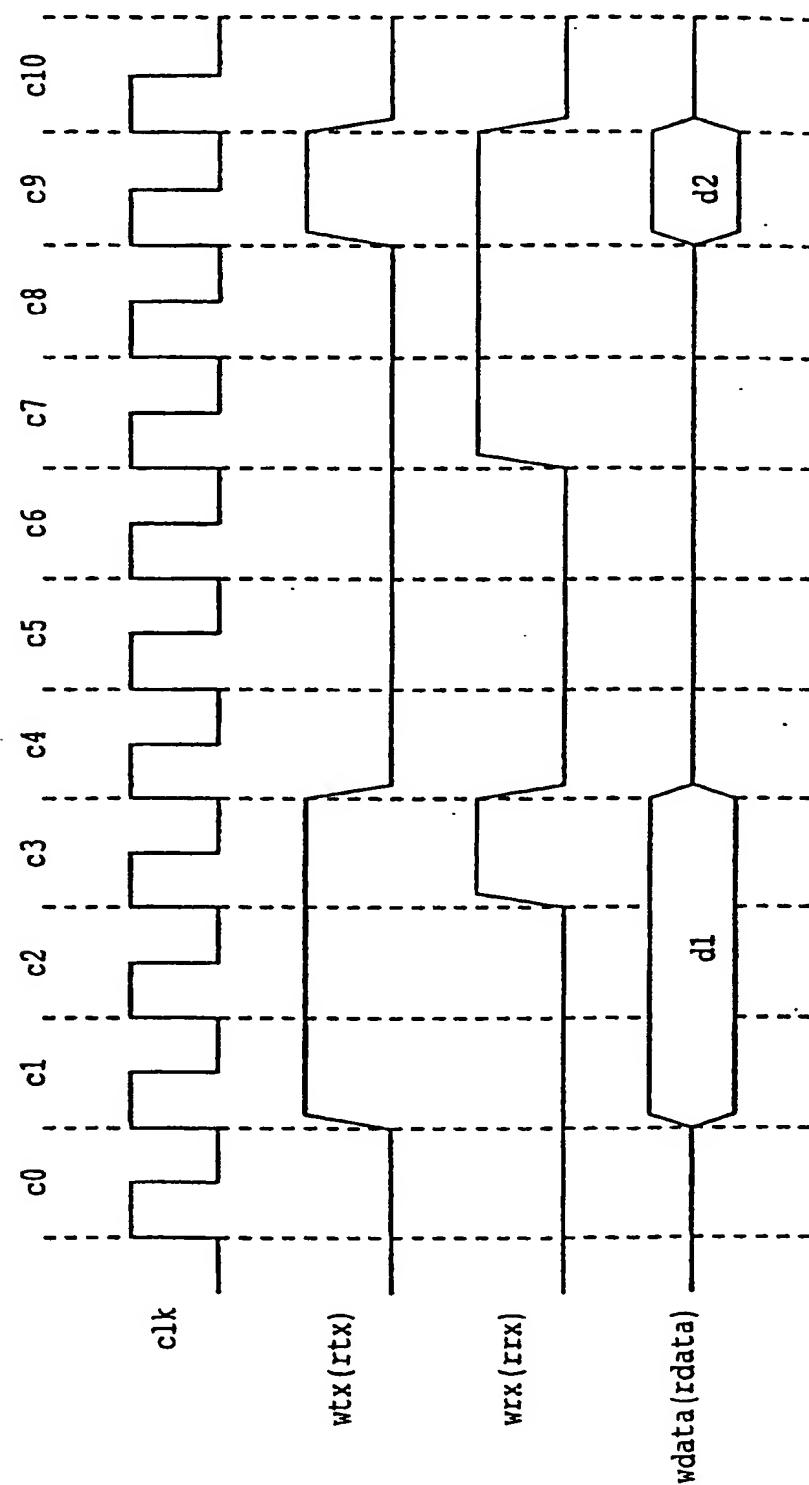


图 18

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**